

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Akira GODA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR MANUFACTURING THE SAME



REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

4/Priority
10/25/00
Junker

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	11-118115	April 26, 1999

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Registration Number 21,124

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC625 U.S. PTO
09/556777
04/25/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 1999年 4月26日

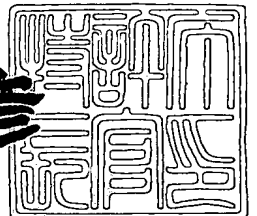
出 願 番 号
Application Number: 平成11年特許願第118115号

出 願 人
Applicant (s): 株式会社東芝

2000年 3月10日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3015918

【書類名】 特許願

【整理番号】 A009902456

【提出日】 平成11年 4月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 不揮発性半導体記憶装置およびその製造方法

【請求項の数】 15

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 合田 晃

【発明者】

 【住所又は居所】 神奈川県川崎市幸区堀川町 5 8 0 番 1 号 株式会社東芝半導体システム技術センター内

 【氏名】 飯塚 裕久

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 清水 和裕

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 有留 誠一

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 白田 理一郎

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横

浜事業所内

【氏名】 森山 和歌子

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上にメモリセル部とその周辺回路部とが設けられてなる不揮発性半導体記憶装置において、

前記周辺回路部を構成する、第 1 のゲート長からなる第 1 のゲート電極部を有する第 1 のトランジスタと、

前記メモリセル部を構成する、前記第 1 のゲート電極部よりも長さの短い、第 2 のゲート長からなる第 2 のゲート電極部を有する第 2 のトランジスタと、

この第 2 のトランジスタだけを覆うようにして、前記メモリセル部にのみ選択的に設けられた第 1 の絶縁膜と

を具備したことを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記第 2 のゲート電極部は、前記半導体基板上にゲート絶縁膜を介して設けられ、かつ、浮遊ゲート、ゲート間絶縁膜、および、制御ゲートが積層された積層ゲート構造を有してなることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】 前記第 1 の絶縁膜と前記第 2 のトランジスタとの間には、さらに、前記第 1 の絶縁膜とは異なる第 2 の絶縁膜が設けられてなることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 4】 前記第 1 の絶縁膜は、コンタクト孔を開孔する際のエッチングストッパとなることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 5】 前記第 1、第 2 のゲート電極部の表面は、それぞれ、後酸化膜によって覆われていることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 6】 半導体基板上にメモリセル部とその周辺回路部とが設けられてなる不揮発性半導体記憶装置の製造方法において、

前記半導体基板の、前記周辺回路部に対応する領域には、第 1 のゲート長からなる第 1 のゲート電極部を、また、前記メモリセル部に対応する領域には、この第 1 のゲート電極部よりも長さの短い、第 2 のゲート長からなる第 2 のゲート電

極部を、それぞれ形成する工程と、

前記第 1 ,第 2 のゲート電極部をそれぞれマスクにして、前記半導体基板の表面に不純物を打ち込む工程と、

前記第 2 のゲート電極部を覆うようにして、該第 2 のゲート電極部を有する第 2 のトランジスタが形成される前記メモリセル部にのみ選択的に第 1 の絶縁膜を形成する工程と、

酸化雰囲気中でアニール処理を行って、前記不純物を活性化させることにより、前記第 1 のゲート電極部を有する第 1 のトランジスタの拡散層、および、前記第 2 のゲート電極部を有する第 2 のトランジスタの拡散層をそれぞれ形成する工程と

を備えてなることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 7】 前記第 2 のゲート電極部は、前記半導体基板上にゲート絶縁膜を介して設けられ、かつ、浮遊ゲート、ゲート間絶縁膜、および、制御ゲートが積層された積層ゲート構造を有して形成されることを特徴とする請求項 6 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 8】 前記第 1 の絶縁膜と前記第 2 のトランジスタとの間に、さらに、前記第 1 の絶縁膜とは異なる第 2 の絶縁膜を形成する工程を有してなることを特徴とする請求項 6 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 9】 全面に層間絶縁膜を堆積する工程と、

この層間絶縁膜をエッチングして、前記第 1 の絶縁膜に達する第 1 のコンタクト孔を開孔する工程と、

前記第 1 のコンタクト孔の底部に露出する前記第 1 の絶縁膜をエッチングして、前記第 2 のトランジスタの拡散層につながる第 2 のコンタクト孔を開孔する工程と

をさらに有してなることを特徴とする請求項 6 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 1 0】 前記第 1 , 第 2 のゲート電極部の表面を、それぞれ、後酸化膜によって被覆する工程をさらに有してなることを特徴とする請求項 6 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 1 1】 半導体基板上に、少なくとも積層ゲート構造部を有するメモリセルが設けられてなる不揮発性半導体記憶装置において、

前記メモリセルを、表面が酸化されているシリコン窒化膜によって被覆したことを特徴とする不揮発性半導体記憶装置。

【請求項 1 2】 前記シリコン窒化膜は、表面の酸化量が 1 0 オングストローム以上で、かつ、1 0 0 オングストローム以下であることを特徴とする請求項 1 1 に記載の不揮発性半導体記憶装置。

【請求項 1 3】 前記シリコン窒化膜は、その膜中の水素濃度が 3×10^{21} atom/cm³ 以下であることを特徴とする請求項 1 1 に記載の不揮発性半導体記憶装置。

【請求項 1 4】 半導体基板上に、少なくとも積層ゲート構造部を有するメモリセルが設けられてなる不揮発性半導体記憶装置の製造方法において、

前記メモリセルをシリコン窒化膜によって被覆する工程と、

前記シリコン窒化膜の表面を強制的に酸化させる工程と

を備えてなることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 1 5】 前記シリコン窒化膜の表面を強制的に酸化させる工程は、少なくとも前記シリコン窒化膜上に層間絶縁膜を堆積する前に行うことを特徴とする請求項 1 4 に記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【発明の属する技術分野】

この発明は、不揮発性半導体記憶装置およびその製造方法に関するもので、特に、電荷蓄積層としての浮遊ゲート上に制御ゲートが積層された、いわゆるスタックトゲート構造のメモリセル（セルトランジスタ）を有する半導体メモリに用いられるものである。

【従来技術】

周知のように、半導体メモリは、セルトランジスタや周辺トランジスタが同一基板上に配設されてなる構成とされている。その一例として、たとえば、データの書き込み・消去が電氣的に行われる E E P R O M (Electrically Erasable and Programmable Read Only Memory) が良く知られている。

図10は、EEPROMの1つである、従来の、NAND型EEPROMにおけるセルトランジスタ（含む、選択ゲートトランジスタ）および周辺トランジスタの構成を概略的に示すものである。

以下に、NAND型EEPROMにおけるセルトランジスタおよび周辺トランジスタの構成について、その形成プロセスにしたがって説明する。

すなわち、図11は、上記した従来のNAND型EEPROMにおける、セルトランジスタおよび周辺トランジスタの形成プロセスを示すもので、まず、たとえば同図（a）に示すように、シリコン基板101の表面にウェル領域および素子分離領域（いずれも図示していない）を形成した後に、上記ウェル領域上にゲート絶縁膜またはトンネル酸化膜となる熱酸化膜102を形成する。

そして、メモリセル領域においては、上記熱酸化膜（トンネル酸化膜）102上にスタックドゲート構造のゲート電極部103を、また、その周辺回路領域においては、上記熱酸化膜（ゲート絶縁膜）102上に単一層からなるゲート電極部104を、それぞれ形成する。

上記メモリセル領域におけるゲート電極部103は、たとえば、電荷蓄積層としての浮遊ゲート電極103a上に、ゲート間絶縁膜となるONO膜（酸化膜／窒化膜／酸化膜）103bを介して、制御ゲート電極103cが積層されてなる、周知の構成となっている。

次いで、たとえば同図（b）に示すように、ゲート電極部103、104の加工ダメージを回復するための後酸化膜105を形成する。

次いで、たとえば同図（c）に示すように、それぞれのトランジスタに対し、ソース・ドレイン拡散層を形成するための不純物106を打ち込む。

次いで、たとえば同図（d）に示すように、その不純物106をアニールによって活性化させて、チャネル領域側に追い込むことにより、ソース・ドレイン拡散層106'を形成する。

続いて、層間絶縁膜107を埋め込んだ後、上記ゲート電極部104につながるコンタクト108や配線109、および、ソース・ドレイン拡散層106'につながるコンタクト110やビット線111などの形成が行われて、図10に示した構成の、セルトランジスタおよび周辺トランジスタが形成される。

しかしながら、上記した従来のセルトランジスタおよび周辺トランジスタの場合、不純物 106 を打ち込んだ後のアニールの条件によって、各ソース・ドレイン拡散層 106' の、ゲート電極部 103, 104 とのオーバーラップ長が左右される。

たとえば、アニールが足らずに、ソース・ドレイン拡散層 106' がゲート電極部 103, 104 とオーバーラップせず、オフセットになると、その部分が寄生抵抗となって、十分なドレイン電流が得られなくなる。

逆に、アニールが過ぎて、ソース・ドレイン拡散層 106' がチャネル領域内の深くにまで侵入すると、ショートチャネル効果が顕著になり、ソース・ドレイン間耐圧の低下を招くなど、デバイス特性を劣化させる。

一般に、メモリセルは、周辺トランジスタと比較してゲート長が短い。そのため、ショートチャネル効果が効きやすい。つまり、周辺トランジスタにとって十分なだけのアニールをすると、セルトランジスタや選択ゲートトランジスタはパンチスルーを起こす恐れがある。

NAND型のEEPROMの場合、そもそも、メモリセルのソース・ドレイン拡散層 106' は、直列に配列されたセルの相互を電氣的に接続できれば良いので、ゲート電極部 103 としっかりオーバーラップさせる必要はない。すなわち、セルトランジスタおよび選択ゲートトランジスタの特性からは、むしろ、不純物 106 を打ち込んだ後のアニールは控えめにするべきだといえる。

また、ゲート加工後の後酸化量についても、本来、加工ダメージを十分に回復できるだけの後酸化は必要だが、後酸化はバースピーク量を増加させる。ゲート長が短いメモリセルの場合、後酸化によるバースピーク量の増加（たとえば、図 10 の A 部参照）は、カップリング比を低下させるなど、書き込み・消去特性を劣化させるために好ましいものではない。

一方、周辺トランジスタの場合は、ゲート長が比較的長いため、十分に後酸化することが許される（たとえば、図 10 の B 部参照）。

このように、NAND型のEEPROMには、ゲート長の異なるトランジスタが存在するが、トランジスタのゲート長に応じて後酸化量や不純物拡散の最適なアニール条件が異なるため、これがプロセスマージンを減少させる一つの大きな

要因となっていた。

【発明が解決しようとする課題】

上記したように、従来においては、トランジスタのゲート長に応じて後酸化量や不純物拡散の最適なアニール条件が異なるため、これがプロセスマージンを減少させているという問題があった。

そこで、この発明は、後酸化量や不純物拡散のためのアニール条件を、トランジスタのゲート長に応じて制御でき、装置の高性能化を図ることが可能な不揮発性半導体記憶装置およびその製造方法を提供することを目的としている。

また、この発明の目的は、後酸化量や不純物拡散のためのアニール条件を、トランジスタのゲート長に応じて最適化する場合にも、シリコン窒化膜中の水素濃度を低減でき、トンネル酸化膜中での電子トラップ量を減少させることが可能な不揮発性半導体記憶装置およびその製造方法を提供することにある。

【課題を解決するための手段】

上記の目的を達成するために、この発明の不揮発性半導体記憶装置にあつては、半導体基板上にメモリセル部とその周辺回路部とが設けられてなるものにおいて、前記周辺回路部を構成する、第 1 のゲート長からなる第 1 のゲート電極部を有する第 1 のトランジスタと、前記メモリセル部を構成する、前記第 1 のゲート電極部よりも長さの短い、第 2 のゲート長からなる第 2 のゲート電極部を有する第 2 のトランジスタと、この第 2 のトランジスタだけを覆うようにして、前記メモリセル部にのみ選択的に設けられた第 1 の絶縁膜とから構成されている。

また、この発明の不揮発性半導体記憶装置の製造方法にあつては、半導体基板上にメモリセル部とその周辺回路部とが設けられてなる場合において、前記半導体基板の、前記周辺回路部に対応する領域には、第 1 のゲート長からなる第 1 のゲート電極部を、また、前記メモリセル部に対応する領域には、この第 1 のゲート電極部よりも長さの短い、第 2 のゲート長からなる第 2 のゲート電極部を、それぞれ形成する工程と、前記第 1 , 第 2 のゲート電極部をそれぞれマスクにして、前記半導体基板の表面に不純物を打ち込む工程と、前記第 2 のゲート電極部を覆うようにして、該第 2 のゲート電極部を有する第 2 のトランジスタが形成される前記メモリセル部にのみ選択的に第 1 の絶縁膜を形成する工程と、酸化雰囲気

中でアニール処理を行って、前記不純物を活性化させることにより、前記第1のゲート電極部を有する第1のトランジスタの拡散層、および、前記第2のゲート電極部を有する第2のトランジスタの拡散層をそれぞれ形成する工程とを備えてなる。

この発明の不揮発性半導体記憶装置およびその製造方法によれば、周辺トランジスタの領域のみ選択的に酸化できるようになる。これにより、トランジスタのゲート長が異なる場合にも、それぞれのトランジスタに対する、後酸化量や不純物拡散のためのアニール条件を同時に満たすことが可能となるものである。

また、この発明の不揮発性半導体記憶装置にあっては、半導体基板上に、少なくとも積層ゲート構造部を有するメモリセルが設けられてなるものにおいて、前記メモリセルを、表面が酸化されているシリコン窒化膜によって被覆した構成とされている。

さらに、この発明の不揮発性半導体記憶装置の製造方法にあっては、半導体基板上に、少なくとも積層ゲート構造部を有するメモリセルが設けられてなる場合において、前記メモリセルをシリコン窒化膜によって被覆する工程と、前記シリコン窒化膜の表面を強制的に酸化させる工程とを備えてなる。

この発明の不揮発性半導体記憶装置およびその製造方法によれば、シリコン窒化膜中の水素によるトンネル酸化膜への影響を減少できるようになる。これにより、トンネル酸化膜の信頼性が劣化するのを防ぐことが可能となるものである。

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

（第一の実施形態）

図1は、本発明の第一の実施形態にかかる不揮発性半導体記憶装置の概略構成を、NAND型EEPROMを例に示すものである。

すなわち、NAND型EEPROMは、たとえば、同一のシリコン基板11上に、メモリセル領域（セルアレイ）12と、コア回路部を含む周辺回路領域13とを有して構成されている。

上記メモリセル領域12には、たとえば図2に示すように、上記シリコン基板11の表面に、それぞれ、アイランド状のウェル領域12aおよびストライプ状

の素子分離領域 1 2 b が形成されている。ウェル領域 1 2 a はカラム方向に設けられ、各ウェル領域 1 2 a の間に、それぞれ、素子分離領域 1 2 b が設けられている。

また、上記ウェル領域 1 2 a の一部にはソース拡散層 2 1 a が、上記ウェル領域 1 2 a の別の一部にはドレイン拡散層 2 1 b が形成されている。そして、ソース拡散層 2 1 a とドレイン拡散層 2 1 b の間には、たとえば、1 8 個のトランジスタ（第 2 のトランジスタ）が直列に接続されて設けられている。

この場合、1 8 個のトランジスタのうち、上記ソース拡散層 2 1 a につながる選択ゲートトランジスタ S G S および上記ドレイン拡散層 2 1 b につながる選択ゲートトランジスタ S G D を除く、残りの 1 6 個のトランジスタ（W L 0 ~ W L 1 5）S T によって、セルユニットとしての N A N D 型メモリセルが構成されている。

各セルトランジスタ S T は、たとえば図 1 に示すように、熱酸化膜（トンネル酸化膜）3 1、浮遊ゲート電極（電荷蓄積層）3 2、ゲート間絶縁膜（O N O 膜など）3 3、制御ゲート電極（W L 0 ~ W L 1 5）3 4、および、ソース・ドレイン拡散層 2 1 から構成されている。

この場合、浮遊ゲート電極 3 2 上に、ゲート間絶縁膜 3 3 を介して、制御ゲート電極 3 4 が積層されて、後述する周辺トランジスタのゲート電極部（第 1 のゲート電極部）のゲート長よりも短い、第 2 のゲート長からなるスタックトゲート構造のゲート電極部（第 2 のゲート電極部）3 5 が形成されている。

ドレイン拡散層 2 1 b に接続された選択ゲートトランジスタ S G D は、上記したセルトランジスタ S T のソース・ドレイン拡散層 2 1 の一方がドレイン拡散層 2 1 b となっている以外は、各セルトランジスタ S T と同様の構成となっている（ソース拡散層 2 1 a に接続された選択ゲートトランジスタ S G S の場合は、ソース・ドレイン拡散層 2 1 の一方がソース拡散層 2 1 a となっている）。

なお、ソース・ドレイン拡散層 2 1 は、各セルトランジスタ S T のゲート電極部 3 5 間に対応する、上記ウェル領域 1 2 a の表面部にそれぞれ形成されている。

上記各ゲート電極部 3 5 の周囲は、後酸化膜 3 6 を介して、シリコン窒化（S

i N) 膜などからなる第 1 の絶縁膜 37 によって覆われている。すなわち、この第 1 の絶縁膜 37 は、上記トランジスタ ST, SGS, SGD のすべてを覆うように、上記メモリセル領域 12 上にのみ選択的に設けられている。

そして、その第 1 の絶縁膜 37 上に層間絶縁膜 38 が埋め込まれるとともに、この層間絶縁膜 38 に対して、上記第 1 の絶縁膜 37 および上記熱酸化膜 31 を貫通し、上記ドレイン拡散層 21b (または、ソース拡散層 21a) につながるコンタクト 39 が形成されている。

さらに、上記層間絶縁膜 38 上に、上記コンタクト 39 を介して、上記ドレイン拡散層 21b につながるビット線 (BL1, BL2, ~) 40 が、カラム方向に沿って形成されて、たとえば図 3 に示すような構成のメモリセル・アレイが実現されている。

一方、上記周辺回路領域 13 における周辺トランジスタ CT は、たとえば図 1 に示すように、熱酸化膜 (ゲート絶縁膜) 31、単一層からなるゲート電極部 (第 1 のゲート長を有する第 1 のゲート電極部) 41、および、ソース・ドレイン拡散層 42, 43 から構成されている。

また、上記ゲート電極部 41 の周囲は、後酸化膜 36 のみによって覆われている。

そして、その後酸化膜 36 上に上記層間絶縁膜 38 が埋め込まれるとともに、この層間絶縁膜 38 に対して、上記後酸化膜 36 を貫通し、上記ゲート電極部 41 につながるコンタクト 44 が形成されている。

さらに、上記層間絶縁膜 38 上に、上記コンタクト 44 を介して、上記ゲート電極部 41 につながる配線 45 が形成されている。

図 4 は、上記した構成の NAND 型 EEPROM における、セルトランジスタ (含む、選択ゲートトランジスタ SGS, SGD) ST および周辺トランジスタ CT の形成プロセスについて、概略的に示すものである。

まず、たとえば同図 (a) に示すように、シリコン基板 11 の表面にウェル領域および素子分離領域 (いずれも図示していない) を形成した後に、上記ウェル領域上にゲート絶縁膜またはトンネル酸化膜となる熱酸化膜 31 を形成する。

そして、メモリセル領域 12 においては、上記熱酸化膜 (トンネル酸化膜) 3

1 上にスタックトゲート構造のゲート電極部（電荷蓄積層としての浮遊ゲート電極 3 2、ゲート間絶縁膜となる ONO 膜（酸化膜／窒化膜／酸化膜） 3 3、制御ゲート電極（ワード線 WL 0～WL 1 5） 3 4） 3 5 を、また、その周辺回路領域 1 3 においては、上記熱酸化膜（ゲート絶縁膜） 3 1 上に単一層からなるゲート電極部 4 1 を、それぞれ素子分離領域に直交する方向にストライプ状に形成する。

続いて、ゲート電極部 3 5、4 1 の加工ダメージを回復するための後酸化膜 3 6 を形成する。

続いて、それぞれのトランジスタ ST、SGS、SGD、CT に対し、ソース・ドレイン拡散層 2 1（ソース拡散層 2 1 a およびドレイン拡散層 2 1 b）、4 2、4 3 を形成するための不純物 2 1' を打ち込む。

次いで、たとえば同図（b）に示すように、シリコン窒化膜からなる第 1 の絶縁膜 3 7 を全面に堆積する。なお、この第 1 の絶縁膜 3 7 としては、シリコン窒化膜に限らず、後の酸化雰囲気でのアニール時に酸化剤（酸化種）を通さないような膜であれば良い。

次いで、たとえば同図（c）に示すように、リソグラフィーによってパターンニングしたレジストをマスク（図示していない）として、周辺回路領域 1 3 上に堆積した第 1 の絶縁膜 3 7 のみを、CDE（Chemical Dry Etching）などの方法で剥離する。

次いで、たとえば同図（d）に示すように、導入した不純物 2 1' を、酸化雰囲気中でのアニールによって活性化させて、各チャネル領域側に追い込むことにより、ソース・ドレイン拡散層 2 1（ソース拡散層 2 1 a およびドレイン拡散層 2 1 b）、4 2、4 3 を、それぞれ形成する。

このように、メモリセル領域 1 2 のみに第 1 の絶縁膜 3 7 をつけた状態において、酸化雰囲気中でアニールする。このとき、周辺回路領域 1 3 上には第 1 の絶縁膜 3 7 がないので、メモリセル領域 1 2 よりも、酸化剤がシリコン基板 1 1 に多く到達する。そのため、周辺回路領域 1 3 での不純物 2 1' の拡散が加速され、ソース・ドレイン拡散層 4 2、4 3 が十分にゲート電極部 4 1 とオーバーラップする。

一方、メモリセル領域 1 2 は、第 1 の絶縁膜 3 7 で覆われているので、酸化雰囲気中でアニールしても、酸化剤はシリコン基板 1 1 にはほとんど到達しない。このため、不純物 2 1' は、周辺トランジスタ C T ほどは拡散せず、ショートチャネル効果を抑制できる。

特に、制御ゲート電極 3 4 にタングステンシリサイド (W S i) を用いた場合、酸化雰囲気中にてアニールすることによる、W S i の異常酸化が懸念される。これは、セルトランジスタ S T などの、ゲート長の短いところで起こりやすい。しかし、第 1 の絶縁膜 3 7 でメモリセル領域 1 2 を覆うことによって、酸化剤がゲート電極部 3 5 に到達するのを防止できるようになる結果、W S i からなる制御ゲート電極 3 4 の異常酸化を阻止することが可能となる。

また、トンネル酸化膜 3 1 に対するバースピーク量およびゲート電極部 3 5 の側壁における後酸化量は、第 1 の絶縁膜 3 7 を残存させることによって、第 1 の絶縁膜 3 7 を剥離した場合に比べて減少できるようになる（カップリング比の低下の抑制）。

つまり、第 1 の絶縁膜 3 7 の形成／非形成に応じて、後酸化を多くしてゲート電極部 4 1 の加工ダメージを回復したい周辺トランジスタ C T と、後酸化しすぎるのが好ましくないメモリセル（セルトランジスタ S T および選択ゲートトランジスタ S G S, S G D）とで、後酸化量を変えることが可能となる。

以降、層間絶縁膜 3 8 を埋め込んだ後、上記ゲート電極部 4 1 につながるコンタクト 4 4 や配線 4 5 の形成、および、ドレイン拡散層 2 1 b（または、ソース拡散層 2 1 a）につながるコンタクト 3 9 やビット線 4 0 などの形成が行われて、図 1 に示した構成の N A N D 型 E E P R O M が完成される。

上記したように、周辺トランジスタの領域のみ選択的に酸化できるようにしている。

すなわち、メモリセルの領域のみを第 1 の絶縁膜によって覆った状態で、酸化雰囲気中でのアニールを行うようにしている。これにより、トランジスタのゲート長が異なる場合にも、それぞれのトランジスタに対する、後酸化量や不純物拡散のためのアニール条件を同時に満たすことが可能となる。したがって、トランジスタのゲート長に応じて、後酸化量や不純物拡散の最適なアニール条件が異な

ることによるプロセスマージンの減少を抑制でき、装置の高性能化を図る上で非常に有用である。

なお、上記した本発明の第 1 の実施形態においては、周辺トランジスタのゲート構造部が単一層からなる場合を例に説明したが、これに限らず、たとえばメモリセル領域内の各トランジスタと同様に、ゲート間絶縁膜（インターポリ）を介した 2 層構造とすることも可能である。この場合、第一層目のゲート電極を引き出して、ゲートコンタクトをとるようにすれば良い。

このような構成によれば、周辺トランジスタのゲート電極部にもゲート間絶縁膜が配置されることにより、ゲート間絶縁膜に対するバースピーク量を、第 1 の絶縁膜を残した領域と剥離した領域とで変化させることができるようになる。

また、選択ゲートトランジスタについても、そのゲート電極部の構成を、セルトランジスタのゲート電極部と同一の構成とする場合に限らず、たとえば、ゲート間絶縁膜を有さない構成としても良い。

また、第 1 の絶縁膜を剥離する場合、すべての周辺トランジスタについて剥離する必要はなく、たとえば、ゲート電極部に対して、ソース・ドレイン拡散層を十分にオーバーラップさせたいトランジスタ、または、後酸化を多くしたいトランジスタについてのみ、第 1 の絶縁膜を剥離するようにしても良い。

また、第 1 の絶縁膜として用いられるシリコン窒化膜は、一般に、水素を多く含むことやメカニカルな膜ストレスが大きいために、メモリセルのトンネル酸化膜の信頼性を劣化させることが懸念される。

この場合、シリコン窒化膜の堆積後に酸化雰囲気中でアニールすることにより、シリコン窒化膜中の水素を引き抜き、膜質を改善することができる。したがって、メモリセルのトンネル酸化膜の信頼性が劣化するのを抑制する効果が十分に期待できる。

しかしながら、酸化雰囲気中でのアニールを行った後においては、シリコン窒化膜は必要ない。そこで、アニール後にすべてのシリコン窒化膜を剥離するようにすることも可能である。

ここで、第 1 の絶縁膜は、拡散層のオーバーラップ量に選択性を持たせるという役目の他に、拡散層コンタクトのジャンクション・リークを防ぐという効果（い

わゆる、エッチングストッパとしての機能)も期待できる。

たとえば図5に示すように、コンタクト39の形成位置がマスクの合わせずれなどの理由により、素子分離領域12b上にかかるような場合、コンタクト開孔時のRIE (Reactive Ion Etching)に選択性を持たせておくことによって、一旦、エッチングを第1の絶縁膜37で止めることができる(同図(a)参照)。

こうして、第1の絶縁膜37に達するコンタクト孔(第1のコンタクト孔)39aを開孔した後、エッチングの条件を切り換えて第1の絶縁膜37をエッチングして、ドレイン拡散層21b(または、ソース拡散層21a)とのコンタクトをとるためのコンタクト孔(第2のコンタクト孔)39bを開孔する(同図(b)参照)。

こうすることによって、素子分離領域12bが大きくエッチングされるのを防止できる。

このように、第1の絶縁膜37は、拡散層コンタクトのジャンクション・リークを防ぐという効果も期待できるため、酸化雰囲気中でのアニールを行った後にシリコン窒化膜を剥離する場合にも、少なくとも拡散層コンタクトの形成部のシリコン窒化膜は残して剥離するのが良い。

また、上述した本発明の第1の実施形態においては、後酸化膜36上に、第1の絶縁膜37を形成するようにしたが、これに限らず、たとえば図6に示すように、後酸化膜36と第1の絶縁膜37との間にTEOS (Tetra Ethoxy Silane)膜などの、酸化剤を通す第2の絶縁膜51を形成するようにしても良い。

この場合、第2の絶縁膜51は、たとえば、第1の絶縁膜37を剥離する際のストッパとして機能するため、プロセスマージンを広げることが可能となる。

また、NAND型EEPROMに限らず、たとえば図7に示すような構成のメモリセル・アレイを有するAND型のEEPROMや、NOR型のEEPROMなどにも適用できる。

(第二の実施形態)

図8は、本発明の第二の実施形態にかかる不揮発性半導体記憶装置の、セルトランジスタ(含む、選択ゲートトランジスタ)および周辺トランジスタの形成プロセスを概略的に示すものである。なお、ここでは、NAND型EEPROMを

例に説明する。

まず、たとえば同図 (a) に示すように、シリコン基板 11 の表面にウェル領域および素子分離領域 (いずれも図示していない) を形成した後に、上記ウェル領域上にゲート絶縁膜またはトンネル酸化膜となる熱酸化膜 31 を形成する。

そして、メモリセル領域 12 においては、上記熱酸化膜 (トンネル酸化膜) 31 上にスタックトゲート構造のゲート電極部 (電荷蓄積層としての浮遊ゲート電極 32、ゲート間絶縁膜となる ONO 膜 (酸化膜/窒化膜/酸化膜) 33、制御ゲート電極 (ワード線 WL0~WL15) 34) 35 を、また、その周辺回路領域 13 においては、上記熱酸化膜 (ゲート絶縁膜) 31 上に単一層からなるゲート電極部 41 を、それぞれ素子分離領域に直交する方向にストライプ状に形成する。

続いて、ゲート電極部 35、41 の加工ダメージを回復するための後酸化膜 36 を形成する。

続いて、それぞれのトランジスタに対し、ソース・ドレイン拡散層 21 (ソース拡散層 21a およびドレイン拡散層 21b)、42、43 を形成するための不純物 21' を打ち込む。

次いで、たとえば同図 (b) に示すように、シリコン窒化膜からなる第 1 の絶縁膜 37 を、少なくともメモリセル領域 12 上に堆積する。

続いて、酸化雰囲気中でのアニールによって、導入した不純物 21' を活性化させる。

その際、たとえば同図 (c) に示すように、第 1 の絶縁膜 37 の表面を酸化させて表面酸化膜 37' を形成する。この表面酸化膜 37' は、上記第 1 の絶縁膜 37 の表面での酸化量が、たとえば、10 オングストローム以上~100 オングストローム以下となるように形成される。

なお、表面酸化膜 37' が形成された上記第 1 の絶縁膜 37 は、その表面側から徐々に水素濃度が高くなるような濃度勾配をもつ。

こうして、シリコン窒化膜中の水素によるトンネル酸化膜への影響を減少させた状態で、不純物 21' を各チャネル領域側に追い込むことにより、たとえば同図 (d) に示すように、ソース・ドレイン拡散層 21 (ソース拡散層 21a およ

びドレイン拡散層 21b), 42, 43 を、それぞれ形成する。

以降、層間絶縁膜 38 を埋め込んだ後、上記ゲート電極部 41 につながるコンタクト 44 や配線 45 の形成、および、ドレイン拡散層 21b (または、ソース拡散層 21a) につながるコンタクト 39 やビット線 40 などの形成が同様に行われて、NAND 型 EEPROM (図示していない) が完成される。

このように、第 1 の絶縁膜 37 の表面に強制的に表面酸化膜 37' を形成させることにより、たとえば図 9 に示すように、シリコン窒化膜中の水素濃度を低減でき、熱酸化膜 (トンネル酸化膜) 31 における電子トラップ量 dVg を減少させることが可能となる。

すなわち、層間絶縁膜 38 を堆積する前に、第 1 の絶縁膜 37 の表面を酸化させるようにした場合、シリコン窒化膜中の水素濃度を低減でき、熱酸化膜 31 中の水素濃度を下げることが可能となる。その結果、熱酸化膜 31 における電子トラップ量 dVg を減少させることが可能となって、トンネル酸化膜の信頼性が劣化するのを防止できるものである。

因みに、本図 9 に示す、トンネル酸化膜中の水素濃度 (本発明) は、表面酸化膜 37' を形成しなかった場合 (従来) を “1” とした際の、相対値である。

また、電子トラップ量 dVg は、たとえば、ゲートに負電圧を印加し、トンネル酸化膜に 0.1 A/cm^2 程度の直流の定電流を 20 秒間ほど流したときの、その 20 秒間におけるゲート電圧の最小値と最大値との差である。この場合、トンネル酸化膜中での電子トラップの発生量が多いほど、 dVg の値は大きくなる。

このような構成によれば、上述したように、第 1 の絶縁膜を残したままでも、メモリセルのトンネル酸化膜の信頼性が劣化するのを抑制できる。

なお、上述した本発明の第二の実施形態においては、第 1 の絶縁膜を形成する前に不純物を導入するようにしたが、これに限らず、たとえば第 1 の絶縁膜を形成した後に不純物を導入するようにすることも可能である。

また、NAND 型の EEPROM に限らず、AND 型や NOR 型の EEPROM にも同様に適用できる。

その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは

勿論である。

【発明の効果】

以上、詳述したようにこの発明によれば、後酸化量や不純物拡散のためのアニール条件を、トランジスタのゲート長に応じて制御でき、装置の高性能化を図ることが可能な不揮発性半導体記憶装置およびその製造方法を提供できる。

また、この発明によれば、後酸化量や不純物拡散のためのアニール条件を、トランジスタのゲート長に応じて最適化する場合にも、シリコン窒化膜中の水素濃度を低減でき、トンネル酸化膜中での電子トラップ量を減少させることが可能な不揮発性半導体記憶装置およびその製造方法を提供できる。

【図面の簡単な説明】

【図 1】

この発明の第一の実施形態にかかる不揮発性半導体記憶装置の構成を、NAND型EEPROMを例に示す概略断面図。

【図 2】

同じく、NAND型EEPROMにおける、セルアレイの構成例を示す概略平面図。

【図 3】

同じく、NAND型EEPROMにおける、セルアレイを概略的に示す回路構成図。

【図 4】

同じく、NAND型EEPROMにおける、各トランジスタの形成プロセスを説明するために示す工程断面図。

【図 5】

同じく、NAND型EEPROMにおける、拡散層コンタクトの形成プロセスを説明するために示す工程断面図。

【図 6】

同じく、NAND型EEPROMにおけるメモリセルの、他の構成例を示す概略断面図。

【図 7】

AND型EEPROMにおける、セルアレイを概略的に示す回路構成図。

【図 8】

この発明の第二の実施形態にかかる不揮発性半導体記憶装置の概略を、NAND型EEPROMを例に示す工程断面図。

【図 9】

同じく、NAND型EEPROMにおける特性を、従来技術と比較して示す概略図。

【図 1 0】

従来技術とその問題点を説明するために、NAND型EEPROMの構成を示す概略断面図。

【図 1 1】

同じく、従来のNAND型EEPROMにおける、各トランジスタの形成プロセスを説明するために示す工程断面図。

【符号の説明】

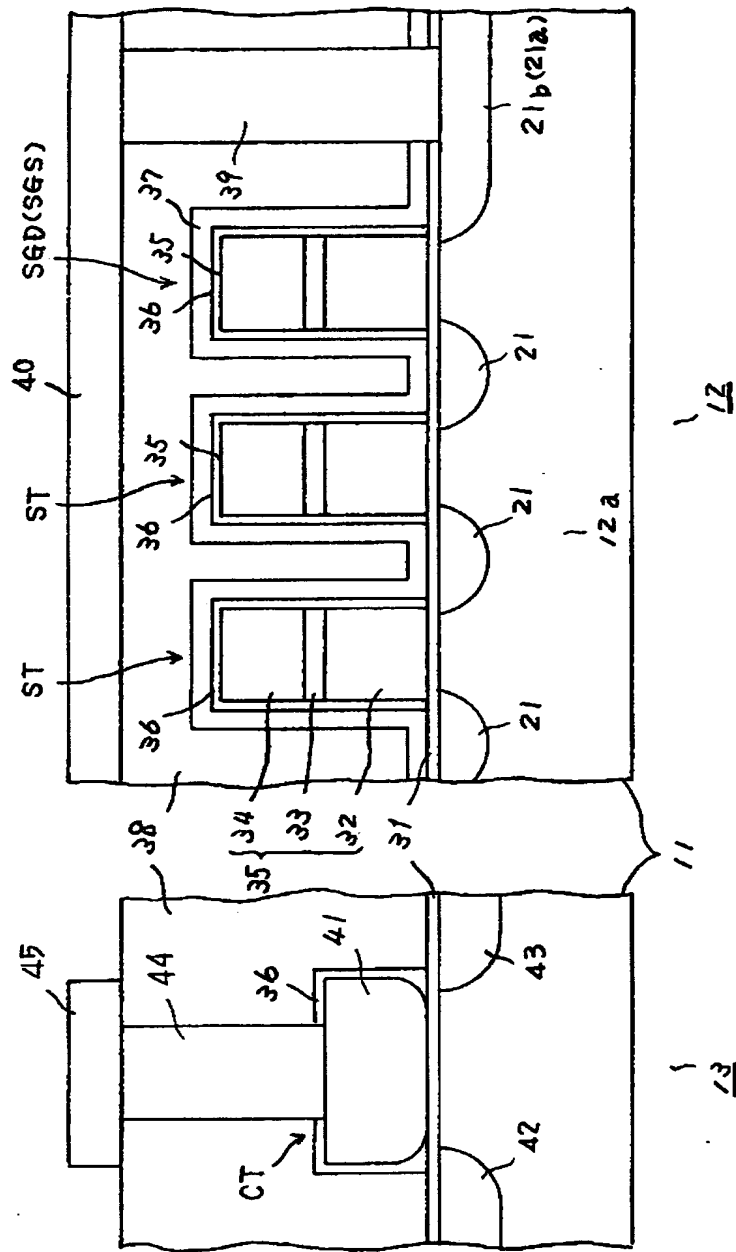
- 1 1 …シリコン基板
- 1 2 …メモリセル領域（セルアレイ）
- 1 2 a …ウェル領域
- 1 2 b …素子分離領域
- 1 3 …周辺回路領域
- 2 1 …ソース・ドレイン拡散層
- 2 1' …不純物
- 2 1 a …ソース拡散層
- 2 1 b …ドレイン拡散層
- 3 1 …熱酸化膜（トンネル酸化膜／ゲート絶縁膜）
- 3 2 …浮遊ゲート電極（電荷蓄積層）
- 3 3 …ゲート間絶縁膜
- 3 4 …制御ゲート電極
- 3 5 …ゲート電極部（セルトランジスタ／選択ゲートトランジスタ）
- 3 6 …後酸化膜

3 7 …第 1 の絶縁膜
3 7' …表面酸化膜
3 8 …層間絶縁膜
3 9 …コンタクト (拡散層コンタクト)
3 9 a …コンタクト孔 (第 1 のコンタクト孔)
3 9 b …コンタクト孔 (第 2 のコンタクト孔)
4 0 …ビット線
4 1 …ゲート電極部 (周辺トランジスタ)
4 2, 4 3 …ソース・ドレイン拡散層 (周辺トランジスタ)
4 4 …コンタクト (ゲートコンタクト)
4 5 …配線
5 1 …第 2 の絶縁膜
S T …セルトランジスタ
C T …周辺トランジスタ
S G S …選択ゲートトランジスタ (ソース側)
S G D …選択ゲートトランジスタ (ドレイン側)
W L 0 ~ W L 1 5 (W L n) …ワード線
B L 1, B L 2, ~ …ビット線

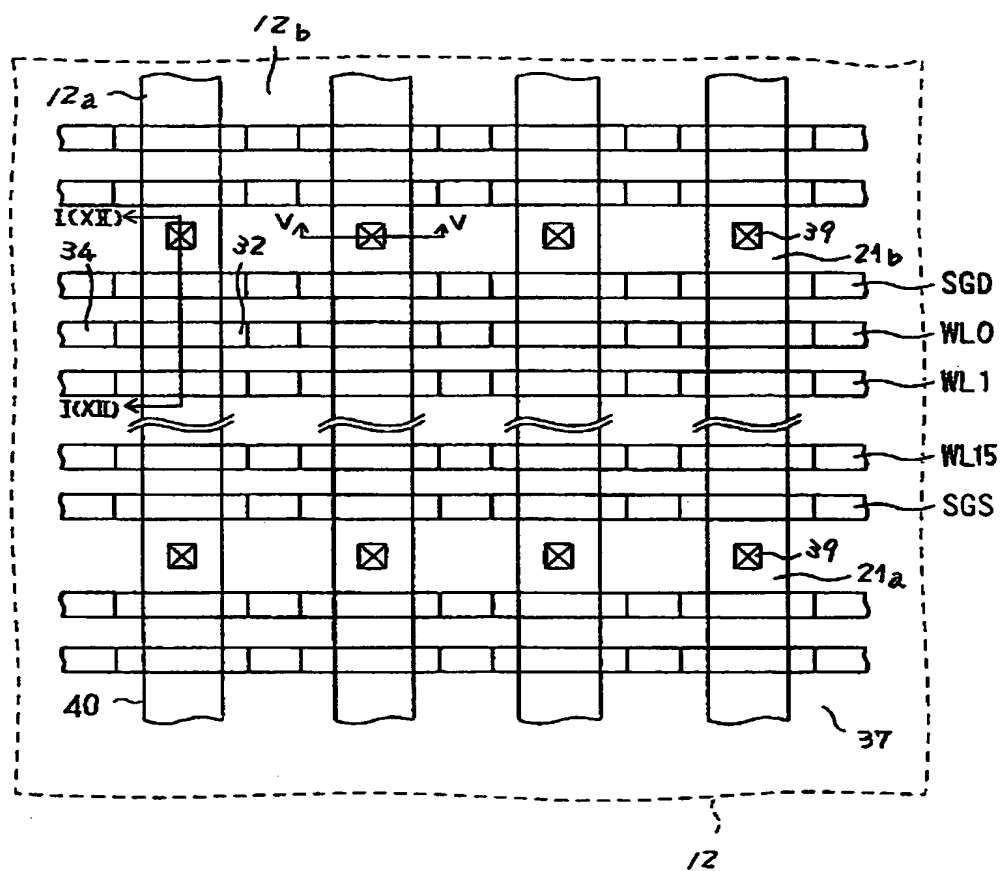
【書類名】

図面

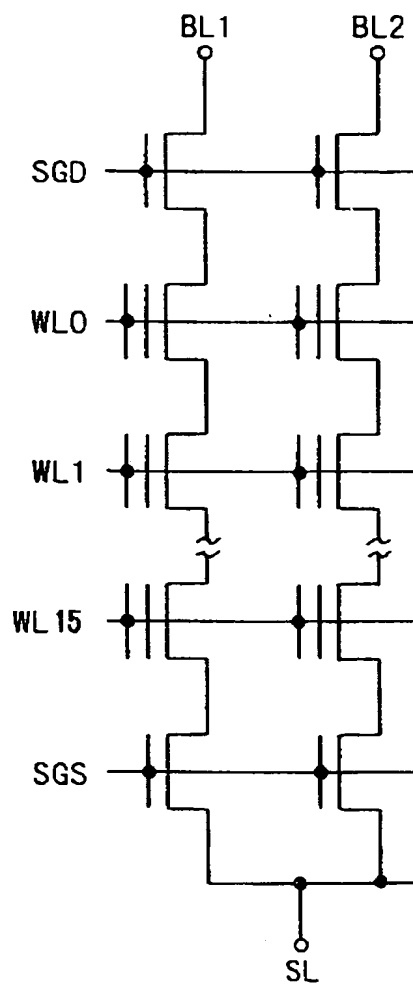
【図 1】



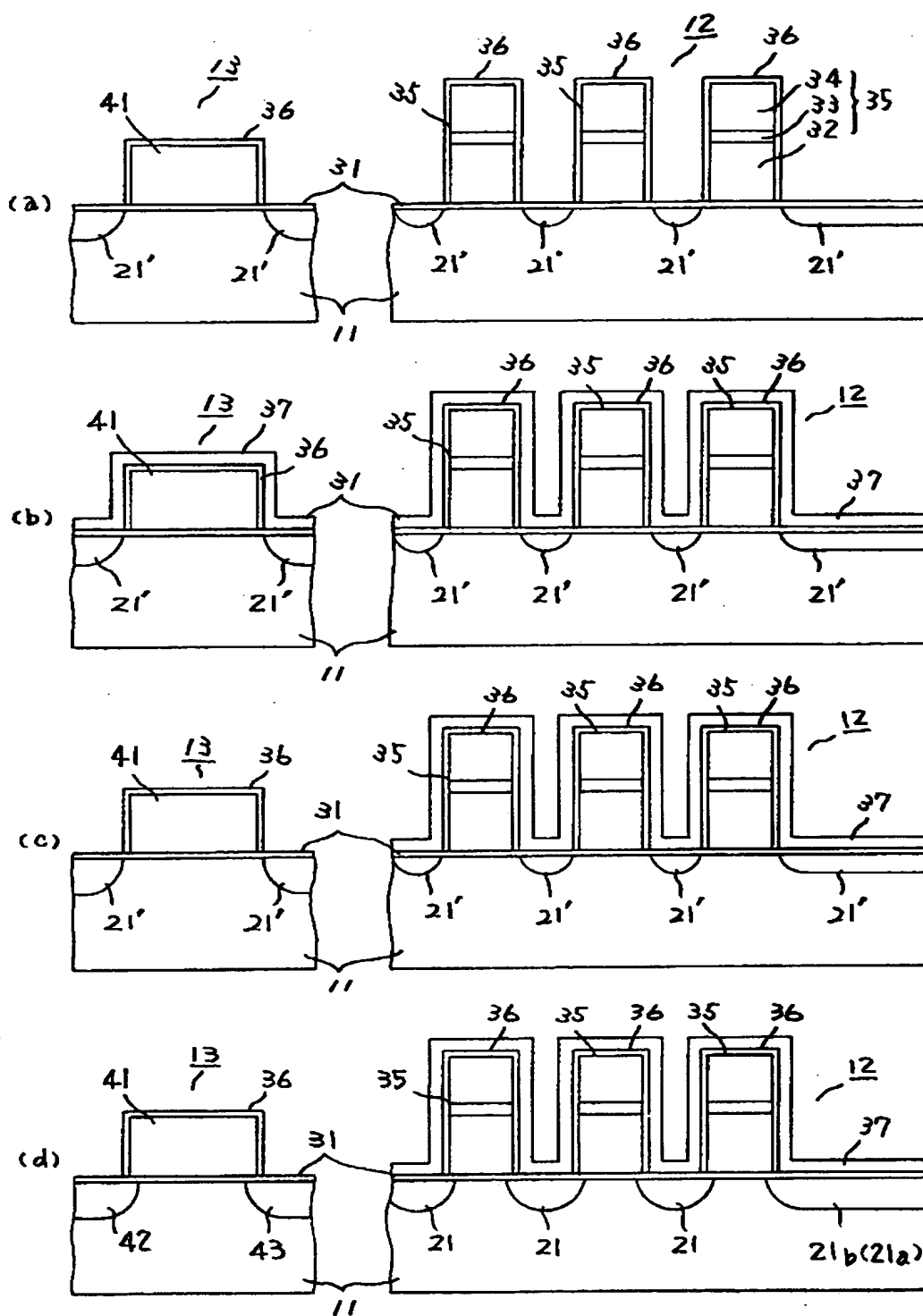
【図 2】



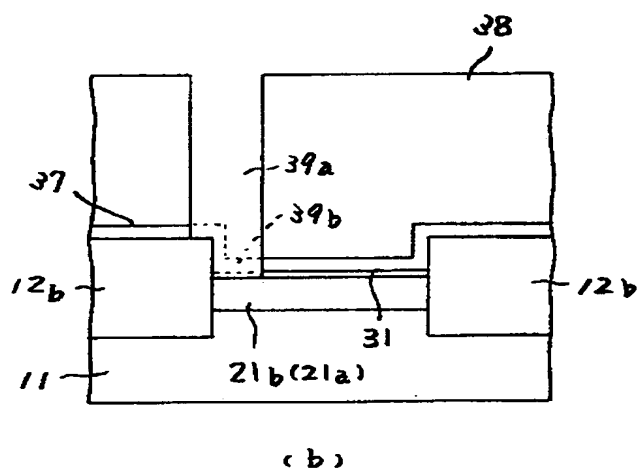
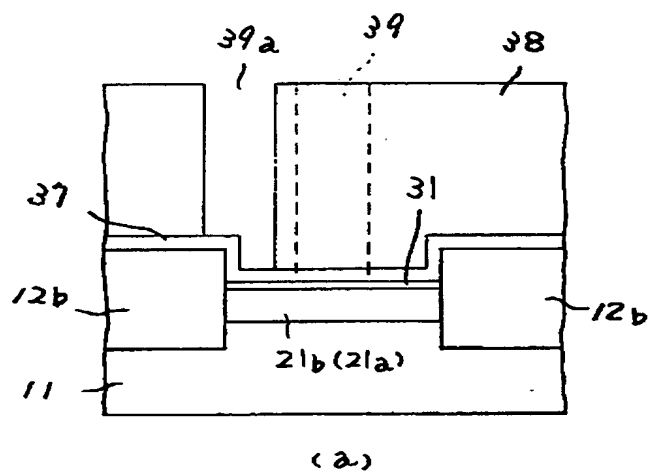
【図 3】



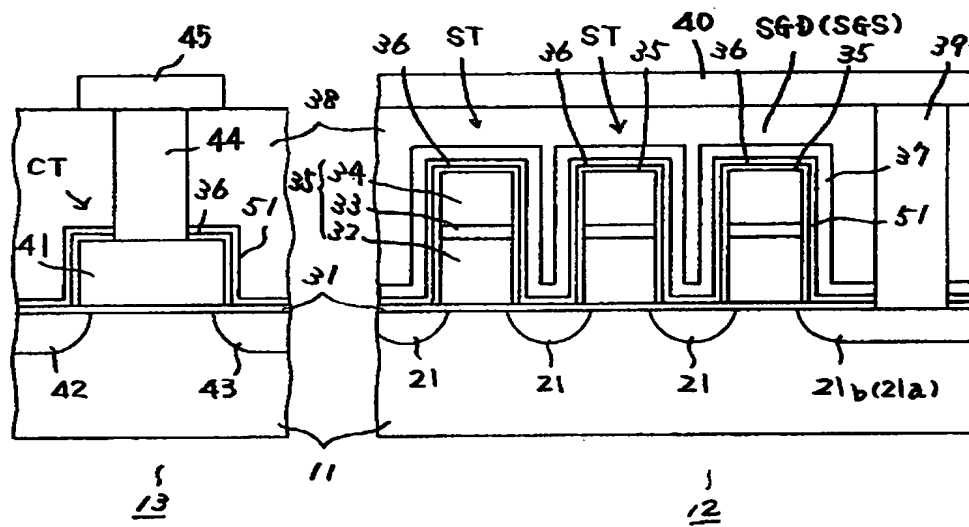
【図4】



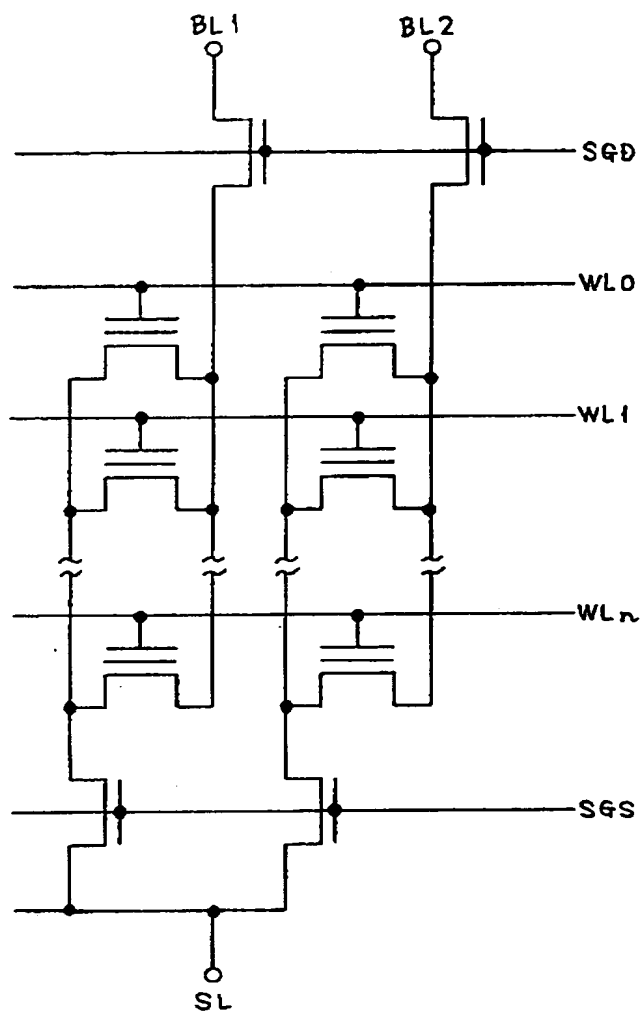
【図5】



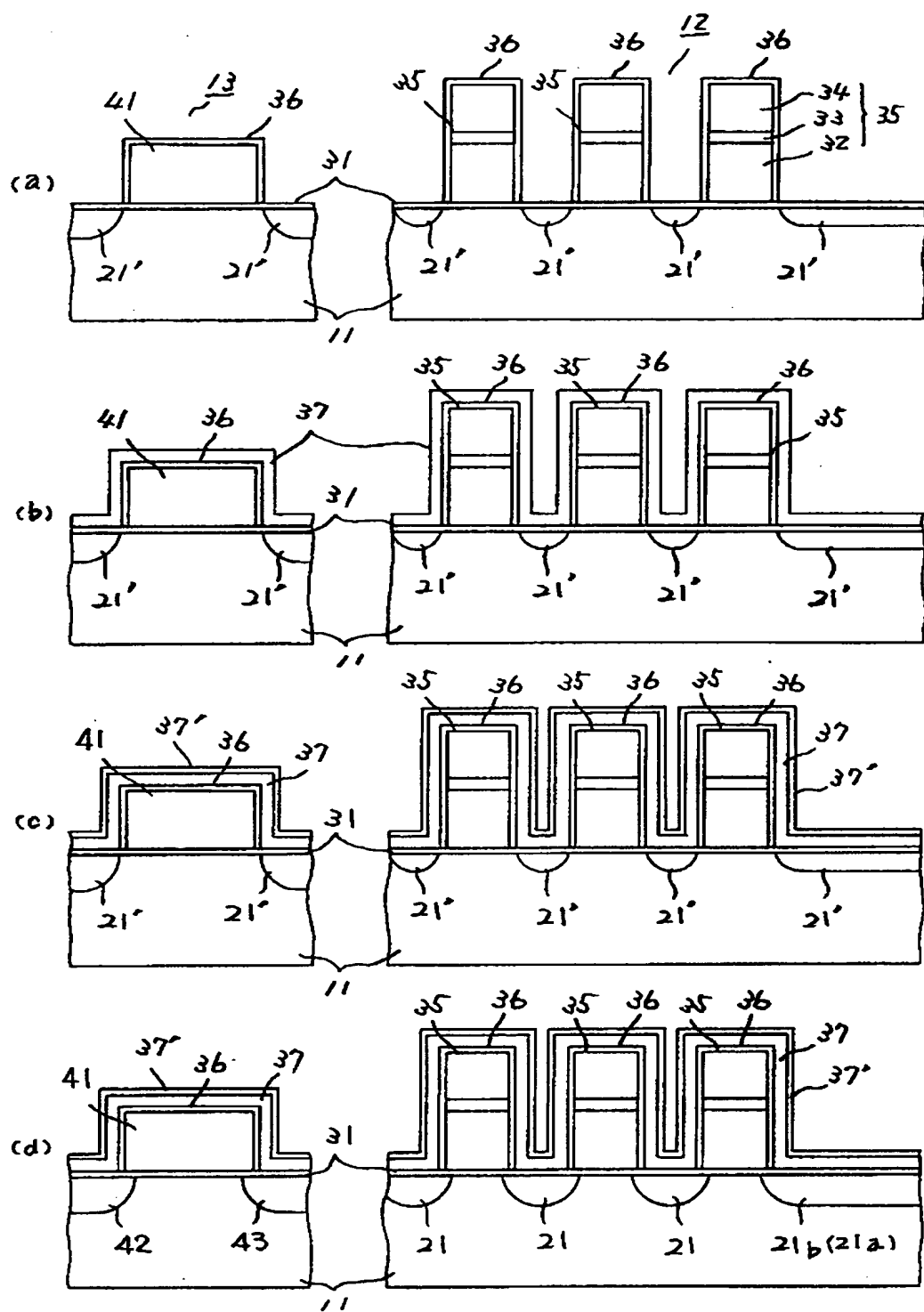
【図6】



【図 7】



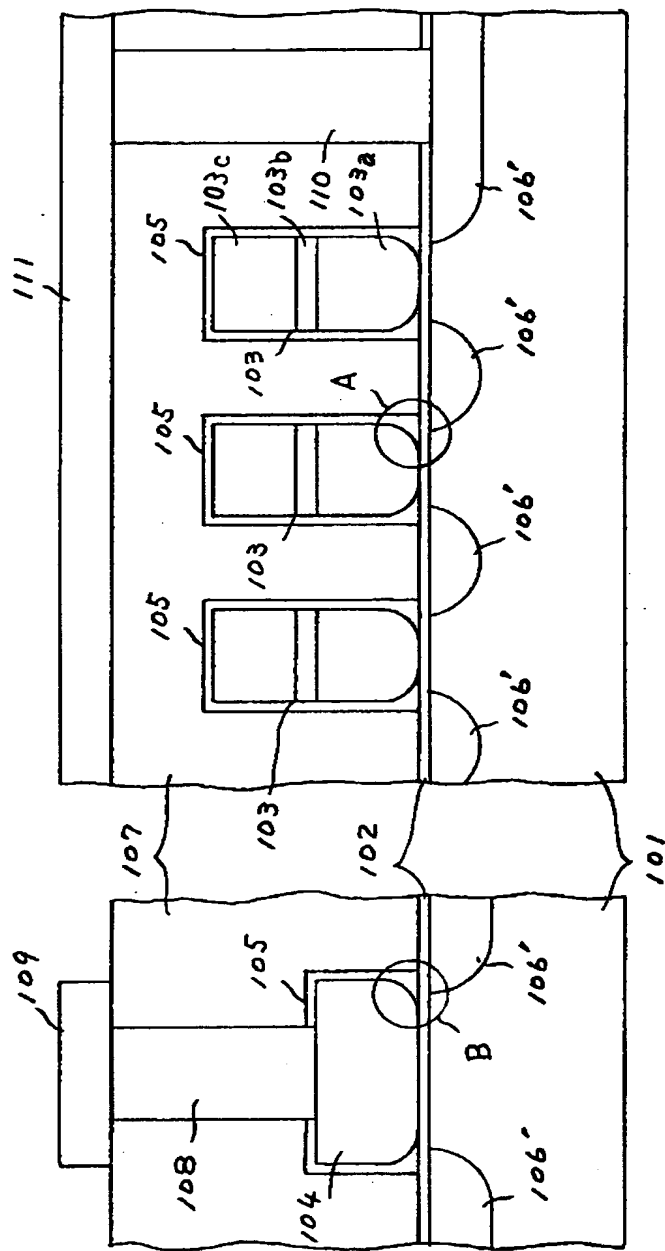
【図 8】



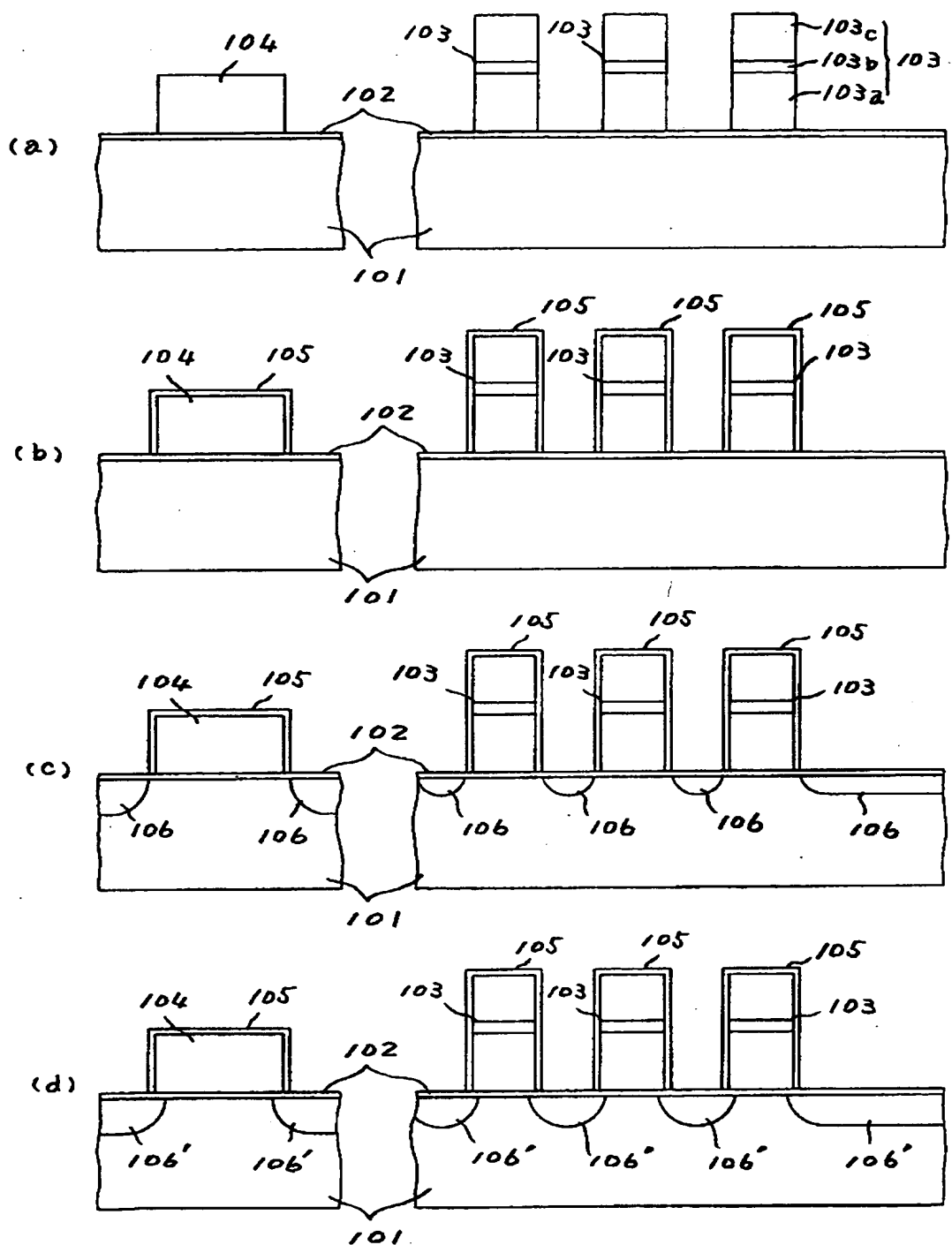
【図 9】

	SiN 膜中の 水素濃度	トンネル酸化膜 中の水素濃度	dV_g (電子トラップ量)
表面酸化なし (従来)	$4.0 \times 10^{21} \text{ atom/cm}^3$	1	512 mV
表面酸化あり (本発明)	$1.6 \times 10^{21} \text{ atom/cm}^3$	0.2	398 mV

【図 10】



【図11】



【書類名】 要約書

【要約】

【課題】本発明は、セルトランジスタと周辺トランジスタとが同一基板上に設けられてなるEEPROMにおいて、それぞれのゲート長が異なっても、後酸化量やアニールの条件を最適化できるようにすることを最も主要な特徴とする。

【解決手段】たとえば、周辺トランジスタCTのゲート電極部41よりもゲート長が短い、セルトランジスタST側を第1の絶縁膜37によって覆った状態で、酸化雰囲気中にてアニールする。この場合、周辺トランジスタCTのソース・ドレイン拡散層42、43はゲート電極部41とオーバーラップするほどに十分に成長する。一方、セルトランジスタST側では酸化の進行が抑えられ、後酸化によるバースピーク量の増加や、不純物の過度の拡散によるショートチャネル効果を抑制することが可能な構成となっている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝